

附件 1

2020 年度广东省重点领域研发计划 “芯片、软件与计算”（芯片类）重大专项 申报指南

2020 年度“芯片、软件与计算”（芯片类）重大专项瞄准国际前沿，以国家战略和广东重大发展需求为牵引，以提升集成电路产业核心技术自主可控能力为目的，聚焦集成电路设计、制造、封测等重点环节和产业生态，集聚国内优势团队组织核心技术攻关，力争突破一批制约集成电路产业创新发展的重大技术瓶颈，掌握自主知识产权，取得若干标志性成果。

2020 年度共设置 EDA 技术研发与应用、集成电路制造工艺、异构封装技术、装备及零部件、产业创新生态五个专题 17 个项目方向，拟支持不超过 22 项，项目实施周期为 3~4 年。专题一项目 4 与专题二项目 2 选取该领域有优势的单位定向委托实施。

**专题一：EDA 工具技术研发及应用（专题编号：
20200127）**

项目 1：数字芯片设计的 EDA 技术创新与应用

（一）研究内容

以提升广东省数字芯片（包括但不限于：CPU、GPU、FPGA等高端通用芯片、各类处理器，物联网智能硬件核心芯片、车规级AI（人工智能）芯片等专用芯片，以及面向通信、人工智能、超高清视频、汽车、卫星应用、智能家居、智慧医疗、电子办公等各类系统级SoC芯片）设计水平为目标，通过EDA工具的优化和创新，重点支撑定制架构、芯片安全、低功耗、异构计算、硬件加速等芯片核心关键技术的攻克。开展集成电路设计方法学研究，针对先进节点数字芯片设计中设计流程多变，时序收敛要求高，布线密度大，功能和性能验证复杂度高设计方法问题，进行技术创新，开发与芯片设计核心技术相关的EDA工具，包括但不限于设计流程自动化、硬件描述和高层次综合的编程语言与形式化验证、编程模型与编译映射、逻辑仿真、逻辑综合、仿真验证、布局布线等工具。

将开发的创新EDA工具推广应用至数字集成电路芯片设计中，提升亿门级数字芯片的设计质量及效率，并在芯片设计过程中对EDA工具进行验证及优化。

（二）考核指标

项目完成时，须覆盖考核指标1、2、4，及3中选定目标芯片产品对应的指标。

1.以至少一款具有国际竞争力的亿门级高端芯片应用为背景，形成和此款高端芯片相关的EDA创新技术与相关工具开发，并在此款芯片中应用。

2.所开发的EDA工具瞄准14纳米或更先进的工艺节点，对标国外现有或类似的同类工具，如高层次综合、功能仿真、时序仿真等一个以上点工具的性能和关键技术参数达到国内领先，国际先进，部分争取国际领先。

3.对标国内外现有CPU、GPU、FPGA等高端通用芯片、各类处理器，物联网智能硬件核心、车规级AI等芯片以及面向通信、人工智能、超高清视频、汽车、卫星应用、智能家居、智慧医疗、电子办公等各类系统级SoC芯片或类似的同类芯片，定制架构、信息安全、低功耗、异构计算、硬件加速等芯片关键技术参数和性能达到国内领先，国际先进。对于信息安全芯片，须支持国密算法体系；对于车规级AI芯片，须满足AEC-Q100 grade3标准，目标检测时间小于100ms；对于物联网芯片，主频须超过200MHz,支持数字信号处理和浮点运算。

4.申请国家发明专利10件以上，软件著作权2件以上，PCT专利5件以上。

（三）申报要求

须企业牵头，鼓励芯片设计单位与EDA工具研发单位联合，EDA工具研发单位承担不低于20%的工作量。

（四）支持强度

拟支持2~3项，资助额度不超过1000万元/项。

项目 2: 模拟或数模混合集成电路芯片设计的 EDA 技术创新与应用

（一）研究内容

以提升广东省模拟或数模混合芯片（包括但不限于：功率器件、传感器、射频电路、显示驱动电路、电源管理电路、毫米波电路等芯片）设计水平为目标，通过EDA工具的优化和创新，重点支撑新工艺、新架构、信号完整性、芯片稳定性、异质集成等芯片核心关键技术的攻克。开展集成电路设计方法学研究，针对先进工艺节点或特色工艺节点的模拟或数模混合集成电路芯片设计中自动化程度偏低，计算机仿真、验证复杂度高等设计方法问题，进行技术创新，开发与芯片设计核心技术相关的EDA工具，包括但不限于设计流程自动化、电路仿真分析等工具，重点突破传统SPICE框架，仿真精度与实测电路性能相比误差在10%以内。

将开发的创新EDA工具推广应用至模拟与数模混合集成电路芯片设计中，提升芯片的设计质量及性价比，并在芯片设计过程中实现EDA工具的验证优化及应用。

（二）考核指标

项目完成时，须覆盖考核指标1、2、4，及3中选定目标芯片产品对应的指标。

1.以至少一款具有国际竞争力的主流高端芯片应用为背景，形成和此款高端芯片相关的EDA创新技术与相关工具，并在此款芯片中应用。

2.所开发的EDA工具瞄准16纳米或更先进的工艺节点，对标国外现有或类似的同类工具，如电路仿真、版图设计、参数提取等一个以上点工具的性能和关键技术参数达到国内领先，国际先进，部分争取国际领先。

3.对标国内外现有功率半导体、射频、传感器、放大器、显示驱动、电源管理、毫米波等芯片或类似的同类芯片，新工艺、新架构、信号完整性、芯片稳定性、异质集成等芯片关键技术参数和性能达到国内领先，国际先进。对于基带芯片和射频芯片，须支持主流的Sub-6G低频频段与28GHz高频毫米波频段。

4.申请国家发明专利10件以上，软件著作权2件以上，PCT专利5件以上。

（三）申报要求

须企业牵头，鼓励芯片设计单位与EDA工具研发单位联合，EDA工具研发单位承担不低于20%的工作量。

（四）支持强度

拟支持1~2项，资助额度不超过1000万元/项。

项目 3：存储芯片设计的 EDA 技术创新与应用

（一）研究内容

以提升广东省存储芯片设计水平为目标，通过EDA工具的优化和创新，重点支撑新协议、存算一体、物理不可克隆、大容量、自纠错、稳定性等芯片核心关键技术的攻克。开展集成电路设计方法学研究，针对先进节点（14纳米或以下）存储芯片设计中晶体管密集，设计余量低，工艺偏差对芯片质量和良率影响大等设计方法问题，进行技术创新，开发与芯片设计核心技术相关的EDA工具，包括但不限于存储编译器、高精度仿真工具、快速验证工具等，充分利用存储芯片阵列高度结构化的特点，通过网络划分，模型降阶以及超大规模并行化等创新技术，在维持足够低精度的前提下提高仿真效率、容量和速度；研究快速蒙特卡洛方法等新技术，提升高Sigma验证的准确性及速度。

将开发的创新EDA工具推广应用至闪存、DRAM、SRAM和MRAM等先进存储芯片设计中，提升芯片的设计质量及效率，并在芯片设计过程中对实现EDA工具的优化及应用。

（二）考核指标

项目完成时，须覆盖考核指标1、2、4，及3中选定目标芯片产品对应的指标。

1.以至少一款具有国际竞争力的高端存储芯片应用为背景，形成和此款芯片相关的EDA创新技术与相关工具，并在此款芯片中应用。

2.所开发的EDA工具瞄准14纳米或更先进的工艺节点，对标国内外现有或类似的同类工具，如存储编译器、仿真验证工具等一个以上点工具的性能和关键技术参数达到国内领先，国际先进，部分争取国际领先。

3.对标国内外现有或类似的同类芯片，新协议、存算一体、物理不可克隆、大容量、自纠错、稳定性等芯片关键技术参数和性能达到国内领先、国际先进。对于固态存储控制芯片，须实现全硬化ECC、LDPC算法，支持国密算法体系；对于闪存芯片，须达到国内领先的TLC/QLC层数，连续读取速度不低于560M/s、连续写入速度不低于350M/s。

4.申请国家发明专利10件以上，软件著作权2件以上，PCT专利5件以上。

（三）申报要求

须企业牵头，鼓励芯片设计单位与EDA工具研发单位联合，EDA工具研发单位承担不低于20%的工作量。

（四）支持强度

拟支持1项，资助额度不超过1000万元/项。

专题二：集成电路制造工艺（专题编号：20200128）

项目1:基于模拟特色工艺的器件精准模型及PDK工艺库研发

（一）研究内容

以重点提升广东省模拟芯片，尤其高端数模混合芯片设计以及其工程化设计水平为目标，攻克特色模拟半导体工艺、基于特色模拟工艺的精确器件物理模型以及芯片设计 PDK 工艺库。从半导体材料本质出发，开展基础性器件物理研究，突破可复制的从特色工艺、器件物理模型、到芯片设计的关键技术。围绕高性能数模混合芯片设计需求及产业化“瓶颈”，重点研发能精确反映特色工艺的器件物理模型（包括不同偏置状态、温度条件、工艺角、工艺波动等）以及其相关的噪声模型和可靠性模型，构建灵活、精简、高效的半导体器件紧凑模型，尤其是有源器件的模型，并能实现与各类 EDA 工具的快速整合，提升仿真效率，优化模型的收敛速度。进一步建立不少于一个典型芯片的基于特色工艺及模型的芯片设计 PDK 工艺库，开发高端的数模混合芯片产品，包括但不限于高精度、低漂移电压基准，超低失调电压放大器，高精度模数、数模转换芯片、IO 以及 ESD 宏模型等，为芯片设计整体精准仿真提供平台。

（二）考核指标

1. 开发出以 12 英寸生产线大规模量产为基础的模拟特色工艺，并在此工艺基础上，研发基于物理特性的精准紧凑器件模型及其参数的提取方法，建立可用于模拟芯片设计的精准器件物理模型（包括不同偏置状态、温度条件、工艺角、工艺波动以及噪声模型、可靠性模型等）。针对 MOS 场效

应器件，研发物理模型的关键参数，并能在亚阈值区、线性区、饱和区实现模型与器件特性的精确拟合，确保高精度集成电路的设计与仿真准确性，技术水平达到国内领先。

2. 高性能电压参考基准芯片 IP 核。研发可用于 $-40\sim 125^{\circ}\text{C}$ 的电压基准芯片，温漂小于 $8\text{ ppm}/^{\circ}\text{C}$ ，在小于 10 Hz 条件下，VP-P 噪声小于 $6\mu\text{V}$ ，纹波抑制大于 80 dB 。与数字芯片整合，实现带电压基准的数模混合芯片的批量生产与应用。

3. 申请国家发明专利 10 件以上，并在 ADC 等芯片中取得示范应用。

（三）申报要求

须芯片制造企业牵头承担。

（四）支持强度

拟支持 1 项，资助额度不超过 2000 万元/项。

专题三：集成电路封装关键技术（专题编号：20200129）

项目 1：异构集成关键技术的研发和应用

（一）研究内容

以研发半导体产业先进的精细线路芯片间异构互连多器件封装为重点，开展基于三维封装、扇出封装、晶圆级封装、倒装芯片封装、DFN/QFN 无引线封装、系统级封装、真空封装、MEMS 技术等先进封装技术的集成创新研发，实现功能化元器件架构创新、 $5\mu\text{m}$ 到 $40\mu\text{m}$ 的线宽线距的高带宽芯片间的高能效处理器和储存器互连、紧凑型系统集成

等，在射频模块、功率器件、传感器、存储器单元、光电异构器件，以及集成硅器件和无源器件（如大容量电容、特种电感、滤波器）等领域开展产品应用。产品的技术指标要优于传统工艺的指标，技术水平达到国内领先。掌握核心生产制造技术，储备知识产权，为量产指明方向。

（二）考核指标

异构互联线的线宽线距在 $5\mu\text{m}$ 到 $40\mu\text{m}$ 之间，硅片间距小于 $200\mu\text{m}$ ；封装布线的层数达到 4 层以上；工艺上实现 200mm 以上面板级扇出封装或者 3D 封装异构集成；在 -40°C to 85°C 温度循环条件下，循环次数高于 1000 次；异构互联在 85°C 、 $104\text{A}/\text{cm}^2$ 条件下，抗电迁移能力大于 500h；信号处理（处理器和储存器）的带宽大于 15GBps；射频模块（包括 PA，射频开关，低噪声放大器）、窄带物联网中 IC、传感器、硅光器件以及无源器件等实现异构集成及产业化；形成成本分析报告，成本优势比传统封装提升 30% 以上；申请国家发明专利 10 件以上，PCT 专利 5 件以上。

（三）支持强度

拟支持 2 项，资助额度不超过 1000 万元/项。

项目 2：先进精细线路封装面板级工艺研发

（一）研究内容

开发和量产在 200mm 以上面板尺寸基于高密度精细线路的刚性基板、柔性基板、刚柔结合基板等高端封装基板，

推动高密度高精度（最小线宽线距，放焊材料，开孔等）和高性能（低损耗，高可靠性，小尺寸高频）的封装基板制造的自主可控国产化。开发面板级扇出封装射频和功率器件的量产，实现高集成度、小尺寸、价格有竞争力的新面板级扇出封装产业化，技术水平达到国内领先。

（二）考核指标

项目完成时，选择以下 1~3 中一个产品方向并完成相应考核指标，并须覆盖指标 4。

1.刚性基板：2~14 层基板，基板总厚度最薄 200 μm 或以下；最小线宽/线距 8 μm /8 μm 或以下；防焊开孔 50 μm 或以下，防焊厚度 10 μm ，精度(3 μm 以内。刚柔结合基板：基板层数 4—14 层以上；最小线宽/线距 8 μm /8 μm 以下；弯折寿命不小于 10000 次（弯折半径 $R=0.5\text{mm}$ ）。

2.柔性基板：传输损耗小于 0.03db/mm（0.2~18GHz 频率）、0.05db/mm（18~40GHz 频率）。

3.面板扇出射频工艺：积层层数 2 层以上，实现直压模塑以外的塑封工艺等生产方式。

4.申请国家发明专利 10 件以上，PCT 专利 10 件以上，项目执行期间实现产值人民币 10 亿元以上。

（三）申报要求

须企业牵头，鼓励产学研联合方式申报。

（四）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

专题四：集成电路装备及零部件（专题编号：20200130）

项目 1：远程等离子源研发

（一）研究内容

研究基于高频电压的电极负直流电压产生技术、正离子轰击电极加速技术、双高频电压离子轰击及高离子通量放电协同控制技术、远程大口径等离子产生及远程稳定维持技术；研究等离子体内部离子密度测量、温度测量，空间分布均匀性测量、自由基测定，借助发射光谱分析转动能量带，远程原位等离子体原位诊断技术、X 射线光谱和等离子体图像获取等原位测试分析技术，研制远程等离子体源设备，并在芯片制造行业开展示范应用，技术水平达到国内领先。

（二）考核指标

项目完成时，须研制出高密度、高活性、高均匀性、低污染的远程等离子体源设备样机一套，支持等离子体源原位测量，离化输出功率达 600W，功率范围可扩展为扩展功率范围 3~200W；在 200mm~300mm 的真空反应腔中、3Torr~10Torr 气压范围内、2.5slm 气体流量下，实现大于 94% 的离化率；申请发明专利 5 项，开发的远程等离子体源设备实现规模量产和销售与应用示范，产品销售收入不低于 3000 万。

（三）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

项目 2：高温高精度分子束源炉研发及产业化

（一）研究内容

面向量子器件、红外与毫米波器件以及 5G 通讯技术发展需求，开展分子束（MBE）源炉加热单元的热力学分析，突破凸凹热屏蔽技术和宽接触补偿热偶控温技术，实现多温区高精度测温、控温与保温结构设计，研制具有自主知识产权的高温高精度 MBE 源炉，并在国产 FW-VI 型分子束外延设备上开展示范应用，外延生长出 GaAs、AlGaAs、InGaAs 等高质量材料，技术水平达到国内领先，满足新型器件的制备需求。

（二）考核指标

项目完成时，须研制出一套具有自主知识产权的高温高精度 MBE（分子束）源炉样机，双温区加热，束源炉加热温度 $\geq 1400^{\circ}\text{C}$ ；控温精度 $\leq \pm 0.1^{\circ}\text{C}$ ；集成水冷和 shutter，以及自动控制系统，源炉真空度优于 $6 \times 10^{-10}\text{Torr}$ 。在分子束外延系统中进行 GaAs 基外延材料生长验证，GaAs 外延片尺寸大于 2 英寸，材料生长速率 $0.1 \sim 2 \mu\text{m}/\text{h}$ ，膜厚度不均匀性 $\leq 3\%$ ，表面缺陷($1 \mu\text{m}$ 厚 GaAs) ≤ 50 个/ cm^2 ；电学性能($2 \mu\text{m}$ 厚度 GaAs)：背景载流子浓度 $n \leq 3 \times 10^{14}/\text{cm}^3$ ，迁移率 $\mu_{300\text{K}} \geq 6000 \text{ cm}^2/\text{V.s}$ ， $\mu_{77\text{K}} \geq 60000 \text{ cm}^2/\text{V.s}$ 。GaAs 二维电子气材料： $n \approx 5 \times 10^{11}/\text{cm}^2$ ， $\mu_{300\text{K}} \geq 6000 \text{ cm}^2/\text{V.s}$ ， $\mu_{77\text{K}} \geq 150000 \text{ cm}^2/\text{V.s}$ 。

AlGaAs 外延材料：组份不均匀性（Al 含量 30%） $\leq\pm 2\%$ 。并支撑分子束外延整机设备实现销售 3000 万元。

（三）支持强度

拟支持 1 项，资助额度不超过 2000 万元/项。

项目 3：碳化硅高温氧化炉装备研发

（一）研究内容

研发高温氧化炉装备，研究降低单极性器件金属氧化物场效应管（MOSFET）栅介质 SiO_2 与碳化硅（SiC）之间的界面态密度的技术，提升沟道载流子迁移率；调控混合型双极型器件绝缘栅双极晶体管（IGBT）结构中的n型漂移区以及p型空穴注入区的载流子寿命。提高迁移率，降低器件的导通损耗；将载流子寿命控制在一定范围之内，大幅提升SiC器件的高频性能，保持器件开关频率特性的同时使关断损耗下降，从而降低器件的功耗，技术水平达到国内领先。

（二）考核指标

项目完成时，须研制出碳化硅器件用多片高温氧化炉样机一套，形成具有自主知识产权的多片高温氧化炉设计、制造以及配套的氧化工艺技术。SiC 高温氧化炉氧化工艺温度最高 1500°C ，可在 1350°C 下长期工作，加热速率达到 $8^\circ\text{C}/\text{分钟}$ ，具有报警及连锁保护功能， $\text{MTBF}>500\text{h}$ 。支持 2"、3"、4"和 6"晶圆的批量氧化加工（每炉 20 片及以上）。可使用

干氧（O₂）、一氧化二氮（N₂O）、氧化氮（NO）、二氧化氮（NO₂）或湿氧（O₂+H₂O）进行氧化。

（三）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

项目 4：半导体设备用低温泵研发

（一）研究内容

研究小型 G-M 制冷机的超低温气体捕获机理及氦气专用压缩机技术，对制冷机单元和真空抽气单元的模型和设计仿真；开发具有自主知识产权的低温泵智能控制系统和网络低温泵组控制系统；研究大抽气容量和快速压力回收技术，开发薄壁气缸、超低温（10K）回热器、超低温（10K）密封件等核心零部件量产技术；建立半导体用低温泵评价体系，制定半导体用低温泵相关技术标准。研发半导体用低温泵系统与高端装备国产半导体设备专用低温泵，并开展产业化量产研究，技术水平达到国内领先。

（二）考核指标

项目完成时，须研制出具有自主知识产权的半导体设备专用低温泵系统，产品性能测试标准满足国际标准 ISO 21360-1，可用于 12 英寸半导体制备中替代进口。设备极限真空应达到 5.0e-9Torr、空气与氦气抽气速度分别不低于 1500L/s 与 1150L/s、氦气抽气容量 750 Std.L（压力回收到 5.0e-7Torr 用时 小于 30 秒）、完全和快速再生时间分别不

超过 170 和 60 分钟；完成低温真空泵样机。建立半导体设备用低温泵评价体系，申请半导体设备用低温泵相关发明专利 5 件以上，形成 2 件技术标准，项目成果在省内芯片制造企业开展示范应用。

（三）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

项目 5：高精度无掩模激光直写制版技术与装备

（一）研究内容

研究可用于稳定制作高精度集成电路掩模版的高性能激光直写装备关键工艺技术，研究激光光束准直、扩束和聚焦，镜头设计，电动平台传动控制（主要为工件台速度与精度），视觉识别及反馈控制，拼接及套刻精度控制，系统控制软件的设计等环节关键技术，研究整机制造技术，开发具有自主知识产权的国产高精度无掩模激光直写制版装备，在高精度光学掩模版及传感器芯片等制造中开展示范应用，技术水平达到国内领先。

（二）考核指标

项目完成时，须研制出高精度无掩模激光直写制版装备，直写速度支持 $1350\text{mm}^2/\text{min}$ ，图形写入幅面支持 $250\text{mm}\times 250\text{mm}$ 、激光光源支持 355nm 、曝光分辨率达到 $0.75\mu\text{m}$ ；支持分辨率根据不同的刻写速度自动转换，最小分辨精度不小于 14nm ，支持多种曝光模式；支持实时自动聚

焦、基底表面粗糙跟踪及灰阶光刻（不小于 2048 阶）、多次曝光和多层对准套刻、翘曲衬底图形光刻等功能；支持多种数据输入格式（DXF、CIF、GDSII 以及 Gerber 文件）；在集成电路掩模版、MEMS 器件、光子芯片、传感器芯片、柔性电子、二元光学、扇出封装等方面形成 5 项或以上示范应用；申请国家发明专利 5 项。

（三）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

项目 6：300mm 图形套刻对准测量设备研发及产业化

（一）研究内容

面向国内 20-14nm 节点的集成电路检测和测量需求，开发图形套刻对准测量设备，突破关键技术，获得核心自主知识产权。完成关键技术与核心部件研发，包括高数值孔径高角分辨率散射成像技术、多通道高信噪比光谱信号提取技术、高精度套刻量测信号解析技术、强鲁棒性自适应光学聚焦技术、高速高精度晶圆运动位移控制技术、高速图像数据处理技术等。

（二）考核指标

项目完成时，须研制出一套具有自主知识产权的 300mm 图形套刻对准测量设备样机，技术水平达到国内领先，基本实现可与国际产品竞争的指标，并支撑 300mm 图形套刻对准测量整机设备实现销售。设备晶圆尺寸为 300mm，光学数

值孔径 ≥ 0.9 ，套刻测量精度 $\leq 0.5\text{nm}$ ，套刻单点测量时间 $\leq 0.75\text{s}$ ，产率 $\geq 90\text{WPH}$ ，正常运行时间 $\geq 90\%$ ，平均无故障时间 $\geq 800\text{hrs}$ ，平均故障修复时间 $\leq 6\text{hrs}$ 。完成和设备关键零部件的国内供应商的合作开发，并完成设备在国内芯片生产企业的量产产线测试和验证。

（三）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

专题五：集成电路创新生态（专题编号：20200131）

项目 1：面向国产计算芯片生态的技术研发及应用

（一）研究内容

研究基于国产计算芯片的自主可控计算平台技术，开展高能效、低功耗的体系架构创新，优化芯片设计，提升芯片计算能力，形成自主知识产权。针对数据中心大数据计算、分布式存储、ARM 原生应用等场景，优化分支预测算法、提升运算单元数量、改进内存子系统架构，提高国产芯片性能。研究优化系统适用性和集成度的架构创新方法，实现不同功能类型芯片的异构集成。研究示范应用所需要的应用迁移技术、性能分析调优技术，面向重点行业和关键业务，有效开展计算平台在相关领域的产业化示范应用，提升国产计算平台的竞争力和产业规模。

（二）考核指标

项目完成时，须实现国产计算芯片的迭代，总带宽达到 1.5T 比特每秒，并通过第三方权威机构的检测与认证。支持 CPU Core 虚拟化、内存虚拟化、中断虚拟化、IO 虚拟化等多项虚拟化技术，支持加解扰、纠错等内存保护技术，基于国产计算平台搭建产品及应用的适配测试环境，在税务、运营商、金融、公安、汽车、电网等至少一个领域中实现示范应用，芯片应用不少于 1000 套，形成标准规范 3 件以上。

（三）申报要求

须企业牵头，鼓励产学研联合方式申报。

（四）支持强度

拟支持 1 项，资助额度不超过 1000 万元左右/项。

项目 2：面向星基增强高精度超低功耗北斗芯片生态的技术研发及应用

（一）研究内容

针对国产卫星导航系统在航空、交通、智慧物联、船舶、应急救援等重点领域的应用需求，研制新一代基带信号处理、射频信号处理、多源融合一体化定位、定位与短报文一体化等芯片与模组，优化并完善国产卫星导航系统的生态链。针对当前终端产品定位精度不足、抗干扰能力差等现状，突破卫星信号高精度跟踪、信源识别防欺骗等关键技术，研制高精度、抗干扰基带信号处理芯片与射频信号处理芯片。针对模组功耗高、体积大等现状，突破多源融合定位信号接

入、低噪声射频接收与抗干扰等技术，研制低功耗、低成本、多源融合一体化定位芯片。针对远洋渔业、航运等领域中全球覆盖性要求高、全球短报文服务系统容量大等应用需求，突破智能位姿感知、选频发射等技术，研制定位与短报文一体化芯片。选择上述的一个方向开展研究，所研发芯片应通过第三方权威机构的检测与认证，在具体民用产品上取得规模化应用与推广。

（二）考核指标

项目完成时，须选择以下 1-3 中一个产品方向并完成包含 4 在内的考核指标。

1.高精度、抗干扰基带信号处理芯片与射频信号处理芯片。卫星信号抗干扰带宽不少于 20 MHz，抗单干扰能力不少于 100dBc 干信比，三个干扰不少于 85dBc 干信比，无干扰情况下精度小于 1 米。

2.低功耗、低成本、多源融合一体化基带抗干扰定位芯片。可处理三种以上传感器信息，使用小型天线时，一般室外定位精度优于 1 米；平均功耗小于 15mW（不含射频）；芯片裸片尺寸小于 2.5mm*2.5mm。

3.定位与短报文一体化芯片，兼容全球 4 大系统所有民用频点，同时跟踪卫星数量超过 50 颗。支持星基增强系统（SBAS）高精度卫星导航定位，定位精度优于 2.5 米；模组

定姿精度优于 1mil/3m，支持全球短报文通信，支持编组通信。

4.累计申请国家发明专利 10 件、集成电路布图设计 2 件以上，形成相关行业标准 1 项以上。所研发芯片应通过第三方权威机构的检测与认证；芯片模块及终端产品产值不低于 1 亿元。

（三）申报要求

须企业牵头，鼓励产学研联合方式申报。

（四）支持强度

拟支持 1 项，资助额度不超过 1000 万元/项。

项目 3：大型装置中高性能电子元器件研发及产业化

（一）研究内容

汽车电子系统、空调系统、高端电视（4K 和 8K 等）等装置中大量使用的高性能处理器和大功率驱动器件，如微控制器、模数数模转换器件、电源管理器、射频模块/芯片、功率驱动器件等，对整机成本与性能具有决定性作用。本专题拟以装置中使用的高性能集成电路开展高性能电子元器件研发攻关，并完成实际应用和产业化，形成知识产权的关键技术及产品。工业类控制器、模数转换、处理器等，开展系统上优化集成，突破创新架构，在算力提升和先进工艺制造、系统集成与开发、高性能编/解码等方面取得突破；电源管理芯片在精密基准技术、高响应高可靠性控制技术、噪声和纹

波抑制技术，提高芯片应用水平的上取得突破；功率驱动器件在可靠性、击穿电压和工作结温提升上实现突破。

通过本项目的实施，鼓励具有广泛产业化基础、良好投资实力和研发能力的大企业发挥自身的应用优势，瞄准最核心部件开展研发，实现核心半导体芯片和元器件的国产以及整机系统应用。

（二）考核指标

下列考核指标不限如下所列行业方向、具体产品类型及技术性能指标，如下考核指标仅作为申报时的重要参考。项目鼓励大型装置及重大系统中高性能元器件研发及产业化，申报时可选择其他行业中的一个产品方向，但须明确行业及器件型号，主要性能指标达国内先进水平，建设期内须完成实际应用指标。

1.电视专用芯片。

DCDC 芯片实现高性能、超低功耗、轻载高效。支持模拟调光功能、支持高精度的软件调背光功能；符合 EIA/JEDEC 等国际测试标准；主板驱动显示分辨率达到 4K@60Hz 及以上；主板待机功耗小于 0.5W；音频性能不低于 8ohm 8W@1KHz；信噪比>60dB。项目建设期内实现年出货量达到 1500 万块以上。

2.空调系统专用芯片。

击穿电压 $V_B \geq 600V$ ，最高工作结温 $T_J \geq 150^\circ C$ 。MCU 控制芯片抗 ESD $\geq 8KV$ ，芯片存储内嵌自校验的 512K FLASH 级 64K SRAM。项目建设期内实现 50 万台套应用，技术指标达到国际主流产品水平。

3.汽车电子系统专用芯片

支持基于 AI 的影像处理算法，图形渲染能力高于 1700M pixels/s；实时传输导航与反馈相关的海量数据需要支持 LTE 等制式高于下/上行峰值速率（300Mbps/150Mbps），芯片需符合 AECQ100 标准。项目建设期内实现车载系统应用 50 万套以上。

（三）申报要求

须企业牵头，鼓励产学研联合方式申报。

（四）支持强度

拟支持 2 项，资助额度不超过 1000 万元/项。